

INTERNET COOPERATION TREATY

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Assistant Commissioner for Patents
United States Patent and Trademark
Office
Box PCT
Washington, D.C. 20231
ETATS-UNIS D'AMERIQUE

in its capacity as elected Office

Date of mailing: 31 August 2000 (31.08.00)	
International application No.: PCT/JP00/00793	Applicant's or agent's file reference: E5025-00
International filing date: 14 February 2000 (14.02.00)	Priority date: 23 February 1999 (23.02.99)
Applicant: KONDO, Nobukazu et al	

1. The designated Office is hereby notified of its election made:

☒ in the demand filed with the International preliminary Examining Authority on:
07 April 2000 (07.04.00)

☐ in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was

☐ was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorized officer: J. Zahra Telephone No.: (41-22) 338.83.38
---	---

E P



P C T

国際調査報告

(法 8 条、法施行規則第40、41条)
〔PCT 18条、PCT規則43、44〕

出願人又は代理人 の書類記号 E 5 0 2 5 - 0 0	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。		
国際出願番号 PCT/J P 0 0 / 0 0 7 9 3	国際出願日 (日.月.年) 1 4 . 0 2 . 0 0	優先日 (日.月.年) 2 3 . 0 2 . 9 9	
出願人 (氏名又は名称) 株式会社日立製作所			

国際調査機関が作成したこの国際調査報告を法施行規則第41条 (PCT 18条) の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

- a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。
☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。
- b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。
☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際調査機関に提出された書面による配列表
☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

3. ☐ 発明の単一性が欠如している (第 II 欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。
☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。
☐ 第 III 欄に示されているように、法施行規則第47条 (PCT規則38.2(b)) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、
 第 1 図とする。 ☒ 出願人が示したとおりである。 ☐ なし
☐ 出願人は図を示さなかった。
☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl¹G06F13/36, G06F13/38, G06F15/78

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl¹G06F5/06, G06F12/00, G06F13/16, G06F13/36, G06F13/38, G06F15/16, G06F15/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2000年
 日本国実用新案登録公報 1996-2000年
 日本国登録実用新案公報 1994-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 10-63614, A(富士電機株式会社), 6.3月.1998(06.03.98) (ファ	1
Y	ミリー無し)	2-11
Y	JP, 8-185371, A(日本鋼管株式会社), 16.7月.1996(16.07.96) (フ	2-11
	ァミリー無し)	
Y	JP, 1-147755, A(日本電気株式会社), 9.6月.1989(09.06.89) (ファ	2-11
	ミリー無し)	
Y	JP, 63-47844, A(日本電気株式会社), 29.2月.1988(29.02.88) (フ	2-11
	ァミリー無し)	

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

10.05.00

国際調査報告の発送日

23.05.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐藤 匡



5R

9650

電話番号 03-3581-1101 内線 6914

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US, A, 5309561, A (TANDEM COMPUTERS INCORPORATED) 3. 5月. 1994 (0 3. 05. 94) & JP, 4-273506, A (タンデムコンピュータズインコーポレ イテッド) , 29. 9月. 1992 (29. 09. 92) & EP, A, 0478132	11



PCT

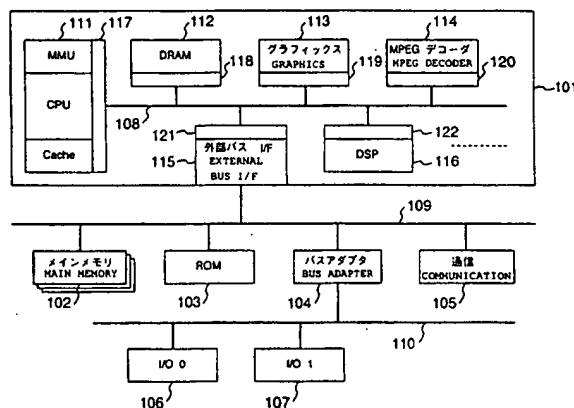
特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 G06F 13/36, 13/38, 15/78	A1	(11) 国際公開番号 WO00/51005 (43) 国際公開日 2000年8月31日(31.08.00)
---	----	---

<p>(21) 国際出願番号 PCT/JP00/00793</p> <p>(22) 国際出願日 2000年2月14日(14.02.00)</p> <p>(30) 優先権データ 特願平11/44133 1999年2月23日(23.02.99) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 近藤伸和(KONDO, Nobukazu)(JP/JP) 〒215-0013 神奈川県川崎市麻生区王禅寺1099番地 株式会社 日立製作所 システム開発研究所内 Kanagawa, (JP) 鈴木 敬(SUZUKI, Kei)(JP/JP) 〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社 日立製作所 中央研究所内 Tokyo, (JP) 野口孝樹(NOGUCHI, Kouki)(JP/JP) 〒187-0022 東京都小平市上水本町五丁目20番1号 株式会社 日立製作所 半導体事業部内 Tokyo, (JP)</p>	<p>野々村到(NONOMURA, Itaru)(JP/JP) 〒215-0013 神奈川県川崎市麻生区王禅寺1099番地 株式会社 日立製作所 システム開発研究所内 Kanagawa, (JP)</p> <p>(74) 代理人 浅村 皓, 外(ASAMURA, Kiyoshi et al.) 〒100-0004 東京都千代田区大手町2丁目2番1号 新大手町ビル331 Tokyo, (JP)</p> <p>(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書</p>

(54)Title: INTEGRATED CIRCUIT AND INFORMATION PROCESSING DEVICE

(54)発明の名称 集積回路及びそれを用いた情報処理装置



(57) Abstract

In an LSI system using on-chip buses, a transfer on a bus may have to wait because of the state of a buffer of a module at the receiver, thus hindering the module of the sender from moving to the following process. To prevent this, a transfer buffer for temporarily storing the data is provided in the transfer path in the on-chip bus of the LSI. If the buffer in a slave module or at the receiver is full so that it cannot accept any more data, the bus master may transfer data to the buffer in the on-chip bus. The bus master does not have to wait to transfer data irrespectively of the state of the buffer on the slave side, and the overall system performance improves.

(57)要約

オンチップバスを用いたLSIシステムにおいて、バス上の転送が、転送先のモジュールのバッファ状態により待たされることで、転送元のモジュールが次の処理に進めないことを防止する。LSI上のオンチップバスの転送経路上に、一時的に転送データを格納できる転送バッファを設ける。これにより、たとえ、転送先であるスレーブモジュール内のバッファが満杯で、これ以上転送を受取れない状態であっても、バスマスタは、オンチップバス上のバッファにデータ転送することができる。このため、バスマスタは、スレーブ側内部のバッファ状態の如何にかかわらず、転送実行を待たされることがなくなり、システムトータルの処理性能が向上する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AG アンティグア・バーブーダ	DZ アルジェリア	LC セントルシア	SD スーダン
AL アルバニア	EE エストニア	LI リヒテンシュタイン	SE スウェーデン
AM アルメニア	ES スペイン	LK スリ・ランカ	SG シンガポール
AT オーストリア	FI フィンランド	LR リベリア	SI スロヴェニア
AU オーストラリア	FR フランス	LS レント	SK スロヴァキア
AZ アゼルバイジャン	GA ガボン	LT リトアニア	SL シェラ・レオネ
BA ボスニア・ヘルツェゴビナ	GB 英国	LU ルクセンブルグ	SN セネガル
BB バルバドス	GD グレナダ	LV ラトヴィア	SZ スワジランド
BE ベルギー	GE グルジア	MA モロッコ	TD チャード
BF ブルキナ・ファソ	GH ガーナ	MC モナコ	TG トーゴ
BG ブルガリア	GM ガンビア	MD モルドヴァ	TJ タジキスタン
BJ ベナン	GN ギニア	MG マダガスカル	TM トルクメニスタン
BR ブラジル	GR ギリシャ	MK マケドニア旧ユーゴスラヴィア	TR トルコ
BY ベラルーシ	GW ギニア・ビサウ	共和国	TT トリニダード・トバゴ
CA カナダ	HR クロアチア	マリ	TZ タンザニア
CC 中央アフリカ	HU ハンガリー	ML モンゴル	UA ウクライナ
CF コンゴ	ID インドネシア	MN モーリタニア	UG ウガンダ
CH スイス	IE アイルランド	MR マラウイ	US 米国
CI コートジボアール	IL イスラエル	MW メキシコ	UZ ウズベキスタン
CM カメルーン	IN インド	MX モザンビーク	VN ヴェトナム
CN 中国	IS アイスランド	NE ニジェール	YU ニューユーゴスラヴィア
CR コスタ・リカ	IT イタリア	NL オランダ	ZA 南アフリカ共和国
CU キューバ	JP 日本	NO ノルウェー	ZW ジンバブエ
CY キプロス	KE ケニア	NZ ニュー・ジーランド	
CZ チェッコ	KG キルギスタン	PL ポーランド	
DE ドイツ	KP 北朝鮮	PT ポルトガル	
DK デンマーク	KR 韓国	RO ルーマニア	

明 細 書

集積回路及びそれを用いた情報処理装置

5 技術分野

本発明は、パーソナルコンピュータやワークステーションを始めとする情報処理装置の部品として用いられるLSI技術に係り、特に、プロセッサ、メモリ、各種周辺機能モジュールなど複数の機能が1チップ上に集積化されたLSIの内部バスの構成およびその制御方法に関する。

10 背景技術

パーソナルコンピュータやワークステーションを始めとする情報処理装置に用いられるバスおよびその制御方法に関する従来技術に関しては、特開平5-324544号公報などに記載の技術が知られている。従来のバス制御方式を、図8を用いて説明する。現在、インタフェース回路の設計の容易さから、バスに接続された複数のモジュールが、各モジュールに共通のクロックであるシステムクロックに同期して、データの送受信制御を行なう同期式バスが主流になっている。

- 従来の同期式バスの転送方式を、4データサイクルのバーストライトを例に説明すると、図8に示すようになる。図8は、従来のバスのバーストライトタイミングチャート（転送先モジュール側バッファ：空き状態）である。図8において、
- 20 801は転送を同期して行なうためのシステムクロック信号、802は転送元モジュール（バスマスタ）からバスモジュールを介し、転送先（スレーブ）にアドレス／データを伝えるアドレス／データ（A/D）信号、803はアドレス／コマンドの有効期間を示すアドレスバリッド（ADV-N）信号、804はデータの有効期間を示すデータバリッド（DTV-N）信号、805は転送の種類等を指定するコマンド（CMD）信号、
- 25 806はバスモジュールが転送を受け付けたことを転送元モジュール（バスマスタ）に知らせるアクノリッジ（ACK-N）信号、807は転送先モジュール（スレーブ）が、自モジュール内部のバッファが満杯で、受け付け不可状態であり、後に再度実行することを転送元モジュール（バスマスタ）に要求するリトライ要求（RTY-N）信号である。

- 転送元であるバスマスタがシステムクロック 801 に同期しながら転送アドレスおよび転送コマンドをバス上に送出する。このとき、バスマスタはアドレス／コマンドサイクルであることを、アドレスバリッド信号 803 をアサートすることで指定する。次に、転送先であるスレーブモジュールからバスマスタに対し、
- 5 アドレス／コマンドサイクルを確かに受領したという報告が、アクノリッジ信号 806 を介して伝えられる。これを受けたバスマスタは、システムクロック 801 に同期して、4 連続のデータサイクルバス上に送出し、データ転送を終了する。このとき、データサイクルであることは、データバリッド信号 804 を用いて指定される。
- 10 一方、近年、LSI の集積度が上がり、プロセッサ、メモリ、各種周辺機能モジュールなどシステムを構成する複数の機能を、共に、1 チップ上に集積化することが可能になりつつある。この場合、前述のようなバスが、オンチップバスとして LSI 内部に取り込まれることが考えられる。LSI 内部にバスを設ける利点として、各モジュールのインタフェース回路の共通化、各種機能モジュールの他の LSI へ
- 15 の流用の容易化、などが挙げられる。

バスをオンチップバスとして L S I 内部に取り込んだ従来例としては、USP 5,761,516 がある。

- 一般的に、前述のようなバスを用いたシステムにおいては、転送先モジュールのバッファが満杯になることにより、バス上の待ちが生じ、システム性能が低下
- 20 するという問題が生じる。4 データサイクルのバーストライトを例に説明すると、図 9 に示すようになる。

- 図 9 は、従来のバスのバーストライトタイミングチャート（転送先モジュール側バッファ：フル状態）である。図 9 において、901 は転送を同期して行なうためのシステムクロック信号、902 は転送元モジュール（バスマスタ）からバ
- 25 スモジュールを介し、転送先（スレーブ）にアドレス／データを伝えるアドレス／データ（A/D）信号、903 はアドレス／コマンドの有効期間を示すアドレスバリッド（ADV-N）信号、904 はデータの有効期間を示すデータバリッド（DTV-N）信号、905 は転送の種類等を指定するコマンド（CMD）信号、906 はバスモジュールが転送を受け付けたことを転送元モジュール（バスマスタ）

に知らせるアクノリッジ (ACK-N) 信号、907は転送先モジュール (スレーブ) が、自モジュール内部のバッファが満杯で、受け付け不可状態であり、後に再度実行することを転送元モジュール (バスマスタ) に要求するリトライ要求 (RTY-N) 信号である。転送元であるバスマスタがシステムクロック901に同期しながら転送アドレスおよび転送コマンドをバス上に送出する。このとき、バスマスタはアドレス/コマンドサイクルであることを、アドレスバリッド信号903をアサートすることで指定する。

ここで、転送先であるスレーブモジュール内のバッファが満杯で、これ以上転送を受取れない状態である場合、スレーブモジュールはバスマスタに対して、後に再度転送を実行することを、リトライ要求 (RTY-N) 信号907を用いて要求する。バスマスタは一定時間経過後、再び、バス上で転送を起動し、転送先であるスレーブモジュール内のバッファが満杯でなければ、スレーブからのアクノリッジの報告受領 (リトライ要求なし) 後、4サイクルのバーストライト転送を実行し、転送を完了する。ここでは、バスがリトライプロトコルを備えているため、バスマスタがバスを占有したまま待たされ、他の転送を邪魔することはない。しかし、リトライ要求を受けた転送元モジュールの転送は受け付けられず、転送元モジュールにおける処理は先に進めないという問題が依然として残る。

本発明の目的は、オンチップバスを用いたLSIシステムにおいて、バス転送が、転送先のモジュールのバッファ状態により待たされることで、転送元のモジュールが次の処理に進めなくなることを防止することにある。

発明の開示

本発明では、LSI上のオンチップバスの転送経路上に、バスに接続される各モジュールが転送中、共通に使用できる転送バッファおよびその制御部を設ける。

転送先であるスレーブモジュール内のバッファが満杯で、これ以上転送を受取れない状態であっても、当該バスマスタは、LSI上のオンチップバス上にある各モジュールが共通で使用できるバッファにデータを一時的に転送し、次の処理に進むことができる。このため、バスマスタは、スレーブモジュール (転送先) 側のバッファの状態によって、転送実行を待たされる可能性がなくなるため、システムのトータル処理性能が向上する。

図面の簡単な説明

図 1 は、本発明のオンチップバスを採用したシステムLSIを用いた情報処理装置のブロック図である。

図 2 は、本発明のオンチップバスを採用したシステムLSIのブロック図である。

5 図 3 は、本発明のオンチップバスを採用したシステムLSIの内部構成を示すブロック図である。

図 4 は、オフチップでクロスバースイッチを用いたバス構成をオンチップで実現したシステムLSIの内部構成を示すブロック図である。

10 図 5 は、本発明のオンチップバスのアドレス割付けを示すアドレス空間マップである。

図 6 は、本発明のオンチップバスのバーストライトタイミングチャート（受け側バッファ：空き状態）である。

図 7 は、本発明のオンチップバスのバーストライトタイミングチャート（受け側バッファ：フル状態）である。

15 図 8 は、従来例のオンチップバスのバーストライトタイミングチャート（受け側バッファ：空き状態）である。

図 9 は、従来例のオンチップバスのバーストライトのタイミングチャート（受け側バッファ：フル状態）である。

図 10 は、本発明のオンチップバスの結線関係を示す接続図である。

20 図 11 は、本発明のオンチップバスの転送手順を示すフローチャートである。

図 12 は、従来のオンチップバスの転送手順を示すフローチャートである。

図 13 は、本発明の一実施例の内部バス階層構造を示したブロック図である。

図 14 は、本発明のバスリピータの内部構造を示したブロック図である。

発明の実施の形態

25 本発明の実施例を図 1 から図 12 を用いて説明する。図 1 は、本発明のオンチップバスを採用したシステムLSIを用いた情報処理装置のブロック図、図 2 は、本発明のオンチップバスを採用したシステムLSIのブロック図、図 3 は、本発明のオンチップバスを採用したシステムLSIの内部構成を示すブロック図、図 4 は、オフチップでクロスバースイッチを用いたバス構成をオンチップで実現したシス

テムLSIの内部構成を示すブロック図、図5は、本発明のオンチップバスのアドレス割付けを示すアドレス空間マップ、図6は、本発明のオンチップバスのバーストライトのタイミングチャート（受け側バッファ：空き状態）、図7は、本発明のオンチップバスのバーストライトのタイミングチャート（受け側バッファ：フル状態）、図10は、本発明のオンチップバスの結線関係を示す接続図、図11は、本発明のオンチップバスの転送手順を示すフローチャート、図12は、従来のオンチップバスの転送手順を示すフローチャートである。

図1において、101は本発明のオンチップバスを採用したシステムLSI、102は主記憶装置、103はROM、104はシステムバス109とI/Oバス110の間のプロトコル変換を行なうバスアダプタ、105は通信用モジュール、106、107は入出力装置、108はオンチップバス、109はシステムバス、110はI/Oバス、111はメモリ管理ユニット（MMU）およびキャッシュメモリを含むCPUモジュール、112はオンチップのDRAMモジュール、113はグラフィックスモジュール、114はMPEG（Moving Picture Experts Group）デコーダモジュール、115は外部バス（システムバス）インタフェースモジュール、116はDSP（Digital Signal Processor）モジュール、117から122はオンチップバス108への共通インタフェース部である。

図2において、201はシステムLSI内部のモジュールであるモジュールA、202はモジュールB、203はモジュールC、204はモジュールD、205はモジュールE、206はモジュールF、207はモジュールG、208はモジュールH、109はオンチップバスのクロスバースイッチ部、210はクロスバースイッチ制御部、211はクロスバースイッチ内部に設けられたバッファ部、212から219はそれぞれモジュールAからモジュールHのオンチップバスインタフェース部、220から227はオンチップバスのモジュールインタフェース部である。

図3において、301、302はバスモジュール108内の転送経路に設けられた転送用バッファ、303、305、307、309はそれぞれモジュールA、B、C、Dのデータ出力バッファ、304、306、308、310はそれぞれモジュールA、B、C、Dのデータ入力バッファ、311、313、315、317はそれぞれモジュールA、B、C、Dからのデータ出力線、312、314、316、

318はそれぞれモジュールA、B、C、Dへのデータ入力線、319はバッファ301を介さないためのバイパス線、320はバッファ302を介さないためのバイパス線、321から328はクロスバースイッチを構成するセクタ、329から336はデータの経路を決定するクロスバースイッチ制御部210からの制御線である。

図3に示すように、モジュール間で共有する転送用バッファを複数個設けることにより、転送用バッファに対する入出力動作を並列に行なうことができる。

図4において、401、402、403、404はそれぞれモジュールA、B、C、Dの入力データ用バッファ、405から412はクロスバースイッチを構成するセクタ、413から420はデータの経路を決定するクロスバースイッチ制御部210からの制御線である。

図5において、501はモジュールAのアドレス空間、502はモジュールBのアドレス空間、503はモジュールCのアドレス空間、504はモジュールDのアドレス空間である。

図6において、601は転送を同期して行なうためのシステムクロック信号、602は転送元モジュール（バスマスタ）からバスモジュール108にアドレス／データを伝えるアドレス／データ（A/D-1）信号、603はアドレス／コマンドの有効期間を示すアドレスバリッド（ADV-N）信号、604はデータの有効期間を示すデータバリッド（DTV-N）信号、605は転送の種類等を指定するコマンド（CMD）信号、606はバスモジュール108が転送を受け付けたことを転送元モジュール（バスマスタ）に知らせるアクノリッジ（ACK-N）信号、607は転送先モジュール（スレーブ）が、自モジュール内部のバッファが満杯で、受け付け不可状態であることをバスモジュール108に知らせるバッファフル（BFL-N）信号、608はバスモジュール108から転送先モジュール（スレーブ）にアドレス／データを伝えるアドレス／データ（A/D-2）信号である。

図7において、701は転送を同期して行なうためのシステムクロック信号、702は転送元モジュール（バスマスタ）からバスモジュール108にアドレス／データを伝えるアドレス／データ（A/D-1）信号、703はアドレス／コマンドの有効期間を示すアドレスバリッド（ADV-N）信号、704はデータの有効

- 期間を示すデータバリッド (DTV-N) 信号、705は転送の種類等を指定するコマンド (CMD) 信号、706はバスモジュール108が転送を受け付けたことを転送元モジュール (バスマスタ) に知らせるアクリッジ (ACK-N) 信号、707は転送先モジュール (スレーブ) が、自モジュール内部のバッファが満杯で、
- 5 受け付け不可状態であることをバスモジュール108に知らせるバッファフル (BFL-N) 信号、708はバスモジュール108から転送先モジュール (スレーブ) にアドレス/データを伝えるアドレス/データ (A/D-2) 信号である。

- 図10において、1001はモジュールAとバスモジュール108間のコマンド信号、1002はモジュールAとバスモジュール108間のバッファフル信号、
- 10 1003はモジュールAとバスモジュール108間のアクリッジ信号、1004はモジュールAとバスモジュール108間のデータバリッド信号、1005はモジュールAとバスモジュール108間のアドレスバリッド信号、1006はモジュールAからバスモジュール108へのアドレス/データ信号、1007はバスモジュール108からモジュールAへのアドレス/データ信号、1008はモジュールBとバスモジュール108間のコマンド信号、1009はモジュールBとバスモジュール108間のバッファフル信号、1010はモジュールBとバスモジュール108間のアクリッジ信号、1011はモジュールBとバスモジュール108間のデータバリッド信号、1012はモジュールBとバスモジュール108間のアドレスバリッド信号、1013はモジュールBからバスモジュール108へのアドレス/データ信号、1014はバスモジュール108からモジュールBへのアドレス/データ信号である。
- 20

- まず、システム構成から説明する。図1は、本発明のオンチップバスを採用したシステムLSI用いた情報処理装置のブロック図で、システムバス109上に本発明のオンチップバスを採用したシステムLSI (周辺機能モジュールを内蔵した
- 25 プロセッサ)、主記憶装置102、ROM 103、通信モジュール105が接続され、さらにバスアダプタ104を介したI/Oバス110上には複数の入出力装置106、107が接続されている。システムLSI内のCPUモジュール、DRAMモジュール、グラフィックスモジュールなどの各モジュールは、共通インタフェース部 (117から116など) を有し、全てオンチップバス108へ接続されている。

システムLSI 101の内部構成を示すブロック図が図2である。

本実施例におけるシステムLSI内部のオンチップバスは、複数のセクタからなるクロスバースイッチ構成になっており、さらに内部には、バスに接続される各モジュールがデータ等を転送中、共通に使用できる転送バッファを設けてある。

- 5 ここでは、これら（制御部210も含む）を総称してバスモジュール108と呼ぶ。ここで、クロスバースイッチは、1以上の入力に対して1つの出力を選択する機能を有する。バスモジュールには、クロスバースイッチの転送経路、および転送タイミングを制御するクロスバースイッチ制御部210が含まれる。バスモジュール108の内部のデータの流れを示したものが図3である。
- 10 また、本発明のバスはクロスバースイッチ構成であるため、図5のようにあらかじめ各モジュールのアドレス空間が割付けられている。ここで、図3において、モジュールA（201）がモジュールC（203）に対し、バーストライト（4データサイクル）転送を実行する場合を考える。モジュールAは、図6のタイミングチャートに示すように、モジュールCに割付けられたアドレスとバーストライト転送を指定するコマンドをバス上に出力する（A/D-1は図3のデータ出力線311に該当し、タイミングは図6の602）（1102）。ここで、アドレス／コマンドサイクルであることをアドレスバリッド（ADV-N）信号603で指定する。バスモジュール108経由で、バス信号線（図10の1008、1011、1012、1013）を介してバーストライトアクセス要求を受取ったモジュールCは、その受領報告であるアクノリッジ（ACK-N）606を、バスモジュール108を介してモジュールAに送信する（1103）。
- 15 20

- 同時に、モジュールCは、自モジュール内部の転送受け付けバッファの空き状態をバッファフル（BFL-N）信号607を用いてモジュールAに知らせる（1104）。図6は、モジュールC内部のバッファに空きがあり、転送受け付け可能状態である場合を示す。この場合、図3内のクロスバースイッチ制御部108は、セクタ324、322、327を制御し、データ出力線311、バスモジュール内の転送経路に設けられた転送用バッファ302を介さないバイパス線320、データ入力線316を経由してデータを転送するように制御する（1105）。
- 25

一方、モジュールCにおいて、自モジュール内部のバッファに空きがなく、受

け付け不可状態である場合のタイミングチャートを図7に示す。バス信号線（図10の1008、1011、1012、1013）を介してバーストライトアクセス要求を受取ったモジュールCは、その受領報告であるアクノリッジ（ACK-N）706を、バスモジュール108を介してモジュールAに送信すると同時に、

- 5 自モジュール内部の転送受け付けバッファが受け付け不可状態にあることを、バッファフル（BFL-N）信号707を用いてモジュールAに知らせる（1106）。

- そしてこの場合は、図3内のクロスバースイッチ制御部210は、セクタ324、322、327を制御し、データ出力線311、バスモジュール内の転送経路に設けられた転送用バッファ302、データ入力線316を経由してデータ
- 10 を転送するように制御する。ここで、転送用バッファ302にはアドレス/データ信号（A/D-1）702のタイミングでデータが書き込まれる。そして、モジュールCに対しては、バッファフル（BFL-N）信号707がネゲートされるのを待って（1107）、アドレス/データ信号（A/D-2）708のタイミングで、バスモジュール108により、データの書き込みが行なわれる（1108）。こ
- 15 れらの一連の動作をフローチャートにしたものが図11である。

- ここで、上記で説明した共通に使用できる転送用バッファを有する場合と転送用バッファを持たない場合の転送制御例と比較してみる。図4に転送バッファを持たない場合バス構成を示す。ここで、図4は、クロスバースイッチを用いたバス構成を、オンチップで実現したシステムLSIのバスモジュール108の内部データの流れを示したものである。
- 20

- 図4において、モジュールAがモジュールCにバーストライト（4データサイクル）する場合を考える。モジュールAは、図8のタイミングチャートに示すように、モジュールCのアドレスとバーストライトを指定するコマンドを出力する。ここで、アドレス/コマンドサイクルであることをアドレスバリッド（ADV-N）
- 25 信号803で指定する。バスモジュール108からのバス制御信号を介してバーストライトアクセス要求を受取ったモジュールCは、その受領報告であるアクノリッジ（ACK-N）806を、バスモジュール108を介してモジュールAに送信する。

図8では、自モジュール内部のバッファに空きがあり、受け付け可能状態であ

る場合を示す。この場合、図4内のクロスバースイッチ制御部210は、セクタを制御し（例：405、411経由）、データ出力線311、データ入力線316を介してデータ転送できるように経路制御を行なう。一方、モジュールCにおいて、自モジュール内部のバッファに空きがなく、受け付け不可状態である場合を図9に示す。

モジュールAは、図9のタイミングチャートに示すようにモジュールCのアドレスとバーストライトを指定するコマンドを出力する（1202、1203）。ここで、アドレス/コマンドサイクルであることをアドレスバリッド（ADV-N）信号903で指定する。バスモジュール108からのバス制御信号を介してバーストライトアクセス要求を受取ったモジュールCは、自モジュール内部のバッファに空きがなく、受け付け不可状態であることをリトライ要求信号（RTY-N）907を用いてモジュールAに通知する（1204）。リトライ要求により転送を拒絶されたモジュールAは、一定期間後に、再度転送起動をかける（1206）。

モジュールC側のバッファに空きができ、受領報告であるアクノリッジ（ACK-N）応答906があった時点で、図4内のクロスバースイッチ制御部210は、セクタ405、411を制御し（例：405、411経由）、データ出力線311、データ入力線316を介してデータを転送するようにバス制御を行い、モジュールCへのデータ転送を実行する（1205）。これら一連の制御をフローチャートに示すと図12のようになる。

プリント基板上に実装してある従来バスの場合、バスライン自体は、基板上の配線でしかない。そのため、バス上に本方式のようなバッファを設けることは、すなわち、LSI部品の追加を意味する。このため、通常、本発明のようなバッファを設ける場合は、バスに接続される全モジュールのバスインタフェース部（受信側）にバッファを内蔵することになる。結果的に、従来の基板上バスのケースでは、モジュールのゲート数が増大するという問題が生じることになる。

これに対して、本発明のように、バス線の配線部をバスモジュール108とし、この中に共用できるバッファを設ければ、不必要なバッファの追加を防ぐことができる。これは、全モジュールが同時に転送しているケースはまれで、通常は、バス使用率に見合ったバッファ（例えば、使用率が50%なら全モジュールがバ

ッファを持った場合の半分のバッファ容量)を内蔵すればよいからである。

本実施例では、バスの構成がクロスバスイッチであるものを示したが、共通の母線を時分割で使用する通常のバスの形態であってもいっこうに差し支えない。

本発明によれば、たとえ、転送先であるスレーブモジュール内のバッファが満杯で、これ以上転送を受取れない状態である場合であっても、バスマスタは、LSI上のオンチップバス上に設けられた転送バッファにデータを転送することができるようになる。このため、転送元であるバスマスタは、スレーブ内部のバッファが空き状態にかかわらず、転送を待つ必要がなくなり、システムトータルの処理性能が向上するという効果がある。

10 さらに、本発明は、LSI周波数の向上にも効果がある。近年、LSIプロセスの微細化が進み、配線容量の増大により、ゲート遅延より配線遅延が問題になりつつある。そのため、チップの角で且つ、対角に配置されたモジュール間の転送が、チップ全体のクリティカルパスになる可能性が大きい。(この場合、配線長がチップ1辺の長さの約2倍になるからである。)

15 そこで、バスモジュール108をチップの中央に実装することにより、内蔵されたバッファで一旦中継することは、配線長を約2分の1にでき、クリティカルパスの対策として本方式を活かすこともできる。すなわち、周波数向上の観点からも有効であるということになる。

また、プリント基板上に実装された従来バスに比べ、本発明のように、オンチップバス上に共有バッファを設けることにより、配線長を短かくできるので配線遅延を低減できる。

また、図1の情報処理装置内部の構成要素は、その応用製品によって異なる。典型的な例としては、ケーブルTVや衛星放送用のSTB(セットトップボックス)、小型携帯端末、インターネット専用端末などが挙げられる。STBでは、システムLSI101に内蔵されるモジュールとして、DRAM、DMA(ダイレクトメモリアクセス)コントローラや基本I/Oの他に、MPEGデコーダ、TV出力機構が考えられる。システムバス109上には、ROMや主記憶装置の他に、通信用モジュールとして、ケーブルモデムもしくは衛星チューナが必要になる。

また、I/Oバス110上には、オプションとして、プリンタインタフェース、

- ハードディスク装置などが考えられる。一方、小型携帯端末としては、システム LSI 101 に内蔵されるモジュールとして、DRAM、DMA (ダイレクトメモリアクセス) コントローラ、基本 I/O の他に、アクセラレータ付き LCD (液晶) コントローラが考えられる。システムバス 109 上には、ROM や主記憶装置の他に、モデム、
- 5 PC カードインタフェース、FD (フレキシブルディスクインタフェース) などが考えられ、小型化のため、場合によっては、I/O バス 110 を設けないことも考えられる。

- インターネット専用端末としては、システム LSI 101 に内蔵されるモジュールとして、DRAM、DMA (ダイレクトメモリアクセス) コントローラ、基本 I/O の他に、
- 10 アクセラレータ付きグラフィックスコントローラが考えられる。システムバス 109 上には、ROM や主記憶装置の他に、通信モジュールとして、イーサネット (オフィス用) もしくはモデム (家庭用) インタフェースが必要になる。また、I/O バス 110 上には、プリンタ用インタフェース、ハードディスク装置などが考えられる。

- 15 なお、本発明はプリント基盤上に共有バッファを設けた場合も考えられる。

- 図 13 は本発明の 1 実施例の内部バス階層構造を示したブロック図、図 14 は図 13 におけるバスリピータの内部構造を示したブロック図である。図 13 において、1301 は図 1 におけるオンチップバス 108 を 2 つに分離するためのバスリピータ、1302 はバスリピータにより 2 つに分離されたオンチップバスのうちで、CPU モジュールと外部バスインタフェースが接続された側のオンチップバス、1303 はバスリピータにより 2 つに分離されたオンチップバスのうちで、CPU モジュールと外部バスインタフェースが接続されていない側のオンチップバス、1304 はオンチップバス 1303 とオンチップの低速 I/O バスを接続するためのバスアダプタ、1305 はオンチップの低速 I/O バス、1306, 1307 は低速 I/O である。図 14 において、1401 はオンチップバス 1302 インタフェース、1402 はオンチップバス 1303 インタフェース、1403 は転送バッファ部、1404 はオンチップバス 1302 側からの転送受信制御部、1405 はオンチップバス 1302 側への転送送信制御部、1406 はオンチップバス 1303 側への転送送信制御部、1407 はオンチップバス 1
- 20
- 25

303側からの転送受信制御部、1408はオンチップバス1302から1303への転送時の転送用バッファ（アドレス、データ、転送制御情報を含む）、1409はオンチップバス1303から1302への転送時の転送用バッファ（アドレス、データ、転送制御情報を含む）、1410はオンチップバス1302からバスリピータ1301への入力線、1411はバスリピータ1301からオンチップバス1302への出力線、1412は、オンチップバス1303からバスリピータ1301への入力線、1413はバスリピータ1301からオンチップバス1303への出力線である。

ここで、本システムLSIの動作周波数をさらに向上させる方式を考える。LSIの動作周波数向上を阻む大きな要因としてバス上に接続されるモジュールの個数がある。バス上に接続されるモジュール数が少ないほど、配線遅延の短縮、クロスバースイッチ論理規模の小型化が図れ、結果として、動作周波数を向上することができる。そこで、オンチップバスを、バスリピータを用いて2つ以上に分離し、局所的に周波数を向上させることを考える。例えば、8モジュールが繋がって100MHzで動作しているオンチップバスを、バスリピータを用いて2モジュールと6モジュールに分離する。これによって、2モジュール側のオンチップバスはバスリピータを含めると実際3モジュール、6モジュール側のオンチップバスは7モジュールの負荷がかかっていることになる。このため、6モジュール側のオンチップバスはあまり条件が変わらないが、2モジュール側のオンチップバスはモジュール負荷の減った分、周波数を向上することができるようになる。ここで、当然、2モジュール側のオンチップバスから6モジュール側のオンチップバスにデータ転送を行なう場合、1転送当りのオーバーヘッドが増加し、レイテンシが大きくなるという問題がある。そのため、モジュールの振り分けには十分注意を払う必要がある。図13では、バスリピータを用いて、メインのオンチップバスを2つに分離している（オンチップバス1302と1303）。そして、オンチップバス1302側には、CPUモジュール111と外部バスインタフェース115のみを接続する。一方、その他の機能モジュールはオンチップバス1303側に接続する。ここで、オンチップバス1302にはバスリピータを含めて、3モジュールしか接続されていないため、オンチップバス分離前に比べ

- て周波数を向上させることができる。すなわち、CPUと外部メモリの間の転送が高速化され、システムの処理性能が向上する。一方、CPUや外部メモリとオンチップバス1303上のモジュール間の転送レイテンシが大きくなるという問題があるが、周辺機能モジュールへの転送要求性能は、CPUと主記憶間の転送
- 5 要求性能に比べて低い場合が多く、また、CPUと主記憶間の転送比率が高いシステムが多いことを考えると、システムトータル性能を向上できる場合が多い。通常は、バスリピータにおける同期化のロスを小さくするため、オンチップバス1302と1303との周波数比を1:1、2:1、4:1など整数比にしておくとい
- 10 などを留意して、バスアダプタで接続してもよい。また、バスリピータの内部構造を示したものが図14である。

- 本発明によれば、たとえ、転送先であるスレーブモジュール内のバッファが満杯で、これ以上転送を受取れない状態である場合であっても、バスマスタは、LSI上のオンチップバス上に設けられた転送バッファにデータを転送することが
- 15 できるようになる。このため、一回の情報転送でバスを独占する時間を減少させることができ、効率良くバスを使用することができる。また、転送元であるバスマスタは、スレーブ内部のバッファが空き状態にもかかわらず、バスが使用されているために転送を待つという必要がなくなり、システムトータルの処理性能が向上するという効果がある。
- 20 本発明のさらなる効果として、オンチップバスをバスリピータを用いて2つ以上に分離し、局所的に周波数を向上させることで、システムトータル性能を向上することができるという効果がある。

請求の範囲

1. 複数の機能モジュールを搭載した集積回路において、前記複数の機能モジュール間を結ぶバス上に、前記複数の機能モジュールのうちのいずれかの機能モジュール間で転送される転送情報を格納する共有バッファを設けた集積回路。
2. 前記共有バッファは、前記転送情報の転送先モジュールのバッファが受付可能か否かに応じて、前記転送情報を格納するか否かの状態となる請求項1記載の集積回路。
3. 前記転送先モジュールからの信号が前記転送先モジュールのバッファが受付可能を示す場合は、前記転送先モジュールへ情報を転送する経路を選択し、前記転送先モジュールのバッファが受付不可の場合は、前記転送情報を前記共有バッファに格納する転送経路を選択する手段をバス上に設けた請求項2記載の集積回路。
4. 前記転送情報の転送先である転送先モジュールのバッファが転送受付可能な場合に、前記転送情報を転送するものであって、前記共有バッファを迂回している信号線を有する請求項1記載の集積回路。
5. 前記バス中の共有バッファを当該集積回路内部の前記複数の機能モジュールそれぞれに隣接するように配置した前記バスを有する請求項1記載の集積回路。
6. 前記転送先モジュールの情報受信用バッファが転送受付不可の場合、転送先モジュールから転送元モジュールへ転送不可である情報を伝達する手段を有する請求項1記載の集積回路。
7. 複数の機能モジュール間で転送情報を伝送するためのバス上に、前記転送情報の転送先モジュールのバッファが受付可能か否かに応じて転送経路の選択を行なう制御部と、
- 25 前記制御部の選択結果に応じて、前記複数の機能モジュール間で転送される転送情報を格納する共有バッファと、
前記複数の機能モジュールと前記共有バッファ間の入出力制御を行なう複数の共通バスインターフェースとからなる転送経路制御手段を設けた集積回路。
8. 複数の機能モジュールを搭載した情報処理装置において、前記複数の機能

モジュール間を結ぶバス上に、前記複数の機能モジュールのうちのいずれかの機能モジュール間で転送される情報を一時格納する共有バッファを設けた情報処理装置。

9. 複数の機能モジュールを搭載した集積回路であって、
- 5 前記複数の機能モジュール間を結ぶ、少なくとも2つのオンチップバスを有し、該第1のバスと、該第2のバスがバスアダプタにより接続されている集積回路において、
第1のバスに接続される機能モジュールが、CPUモジュールと、外部メモリインタフェースモジュールと、前記バスアダプタの3つのみから構成された半導
- 10 体の集積回路。
 10. 請求項9の集積回路において、
第1のバスプロトコルと、第2のバスプロトコルが同一である半導体の集積回路。
 11. 請求項10の集積回路において、
- 15 第1のバスの動作周波数が、第2のバスの動作周波数の整数倍である半導体の集積回路。

FIG. 1

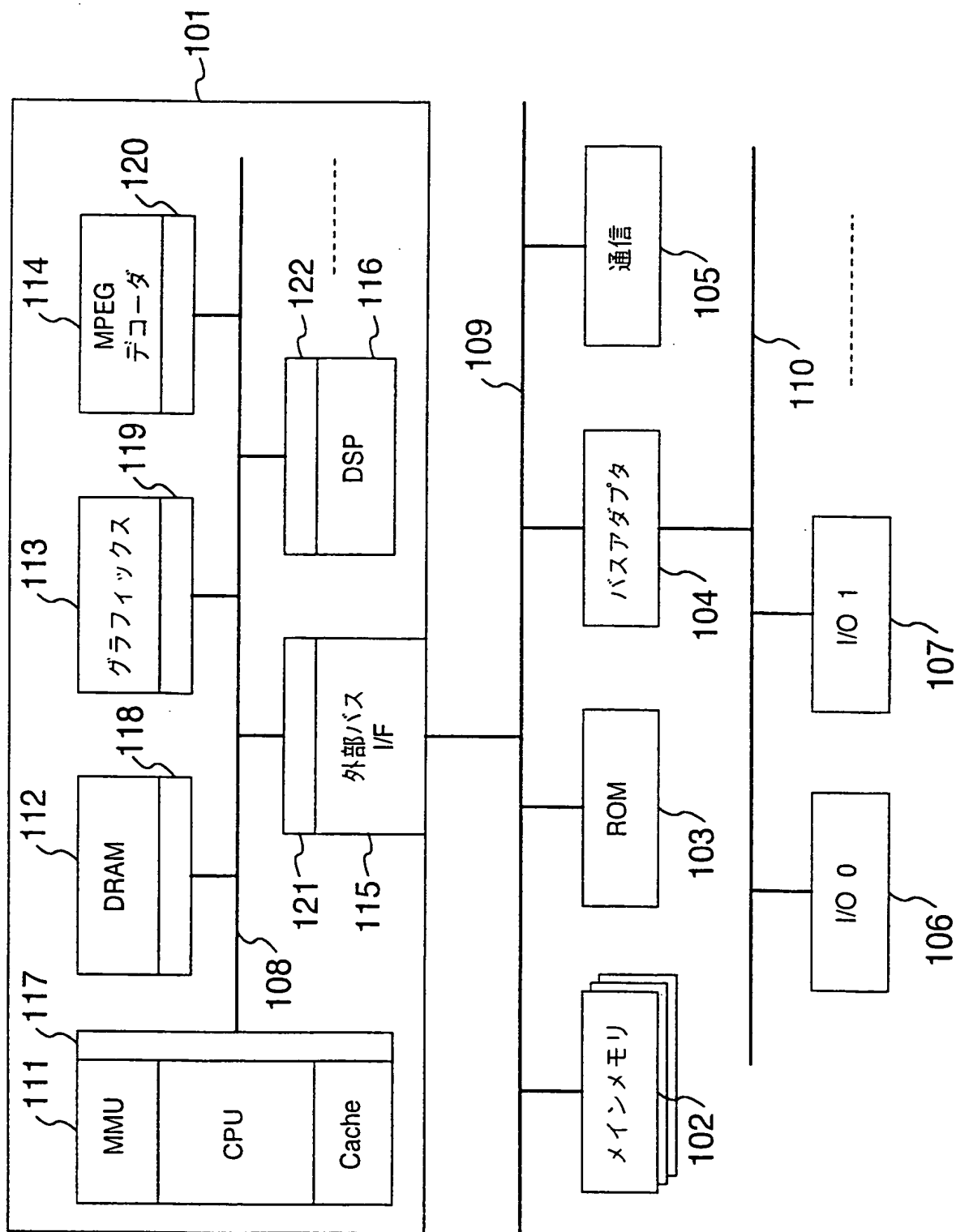


FIG. 2

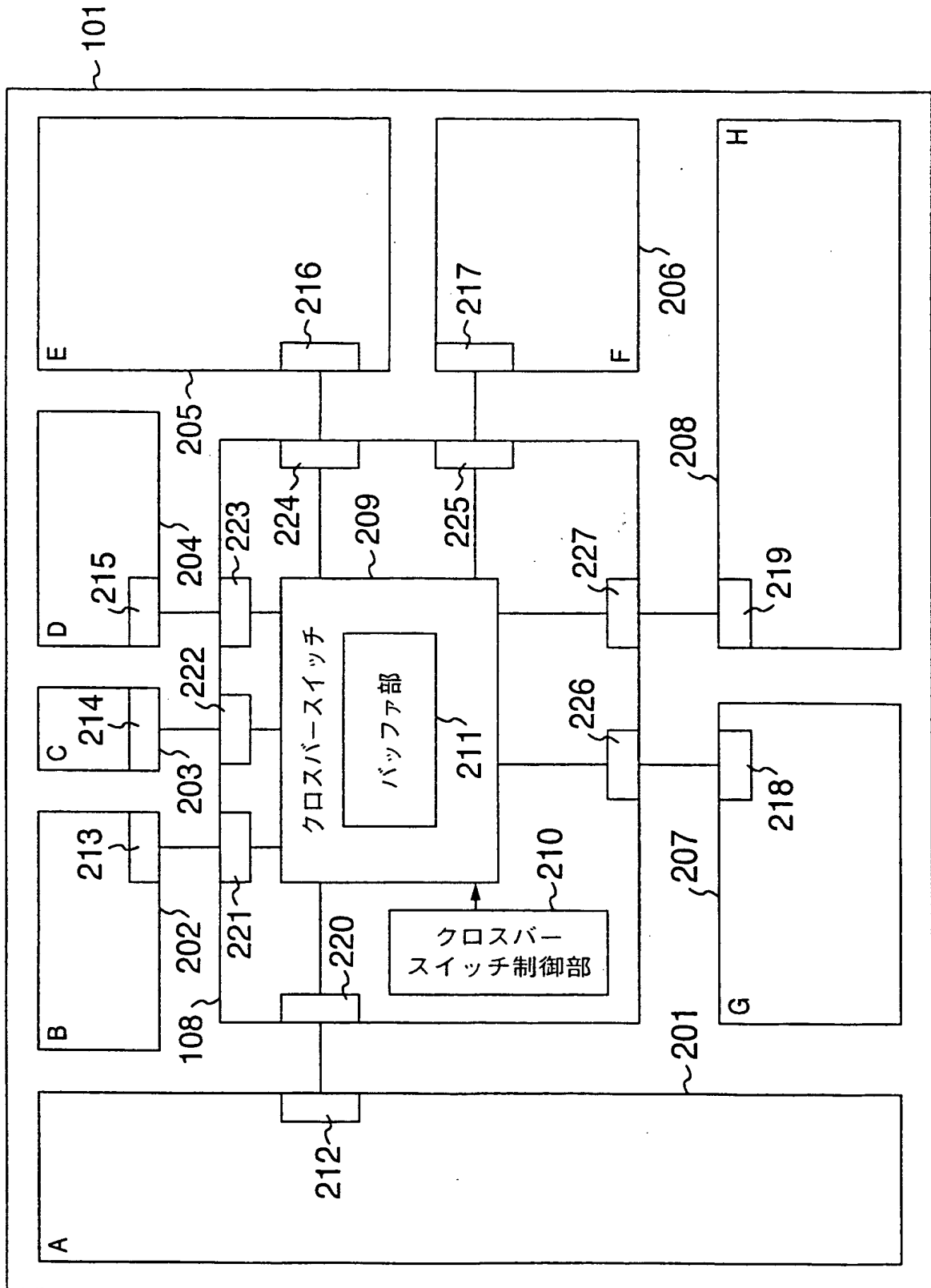


FIG. 3

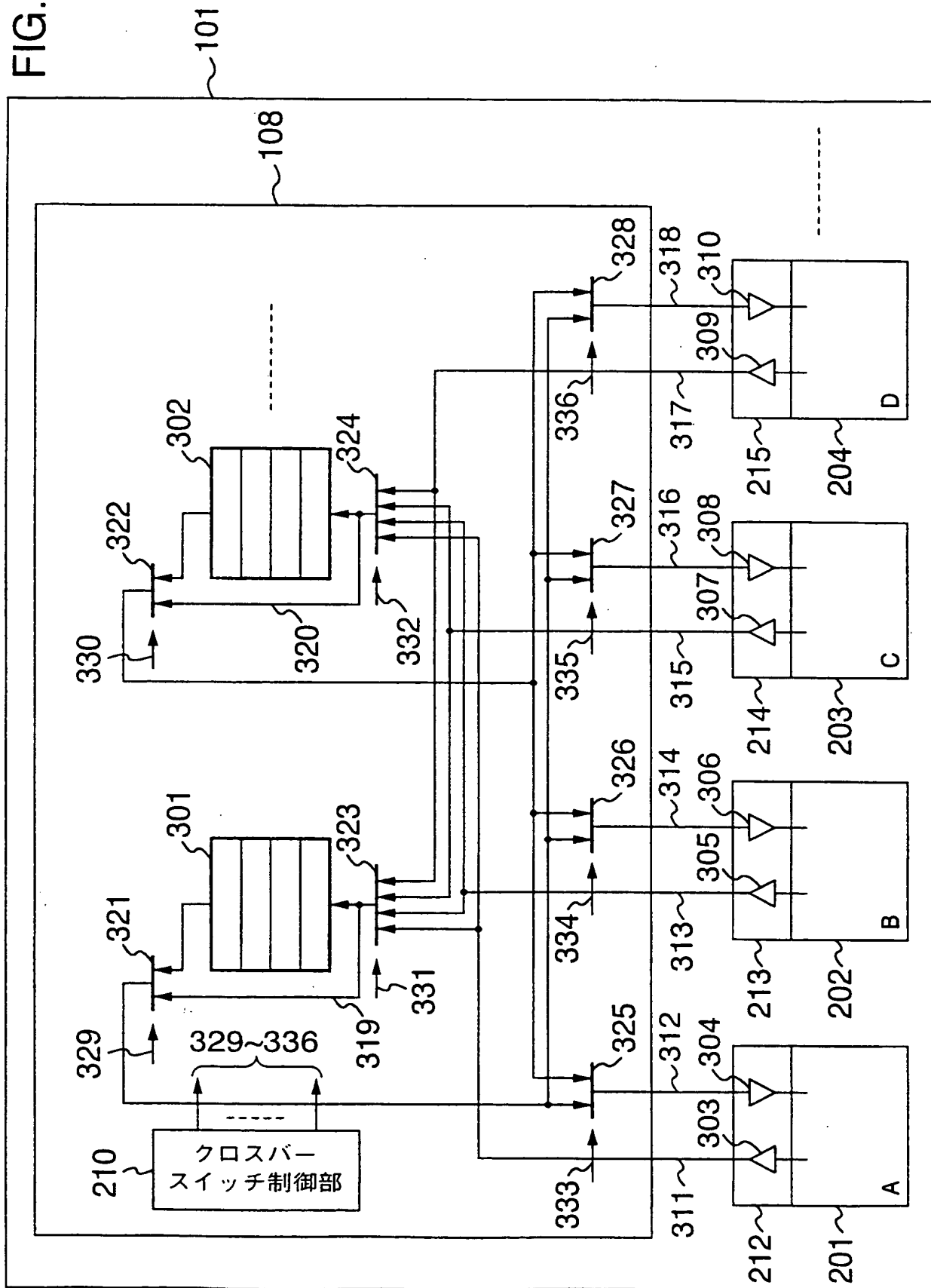
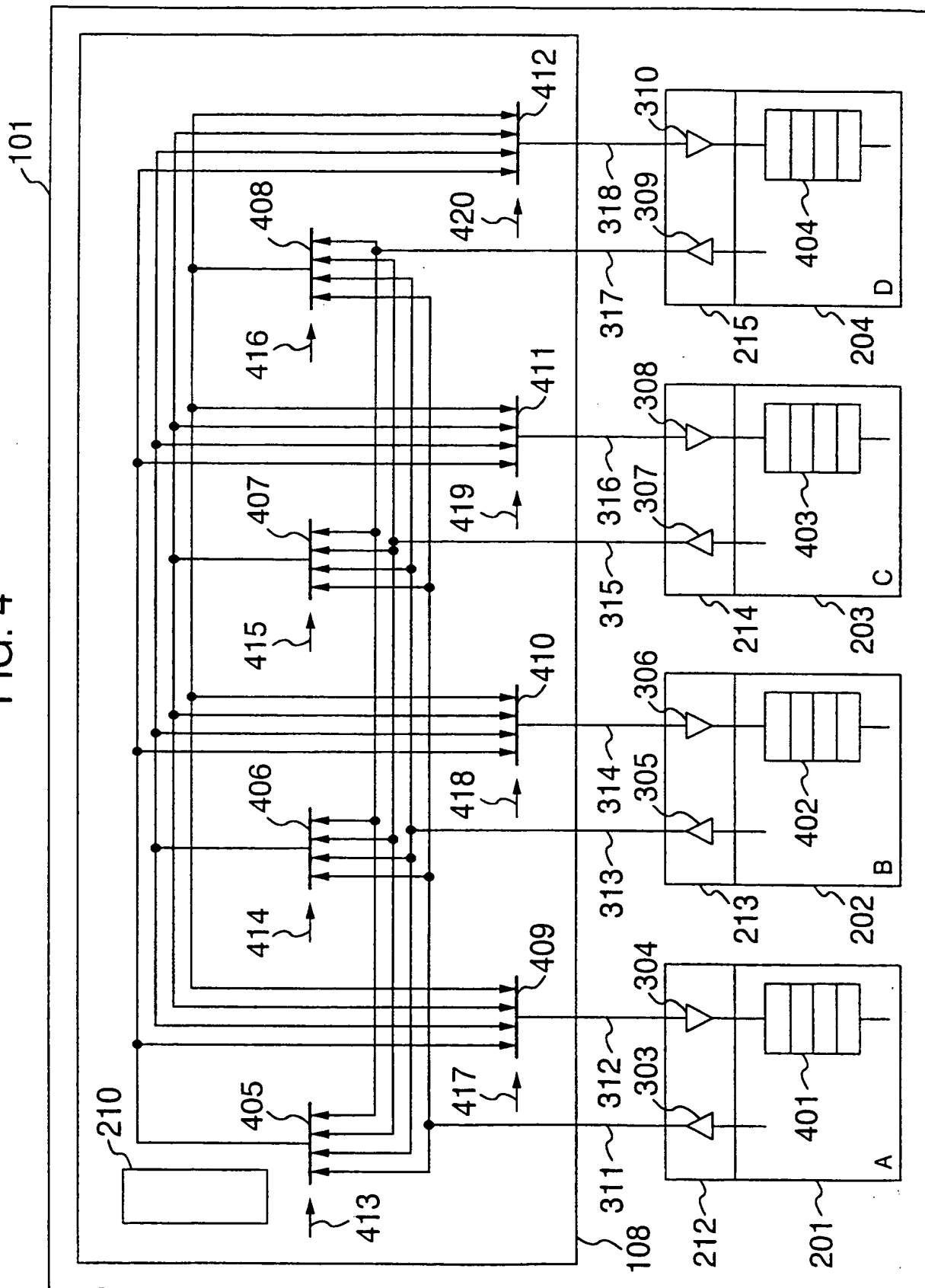
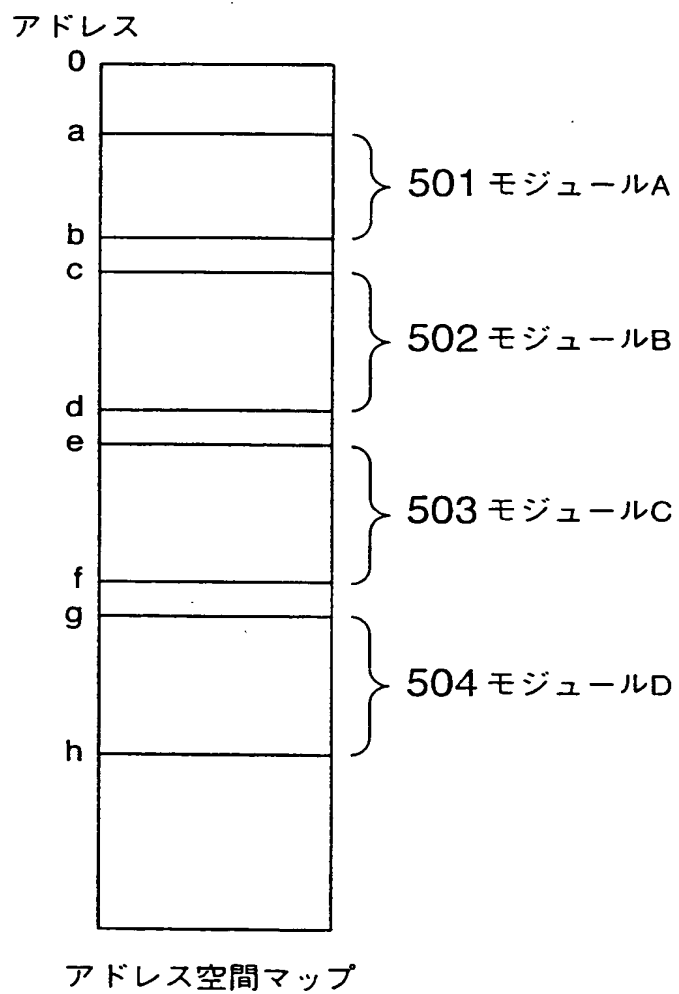


FIG. 4



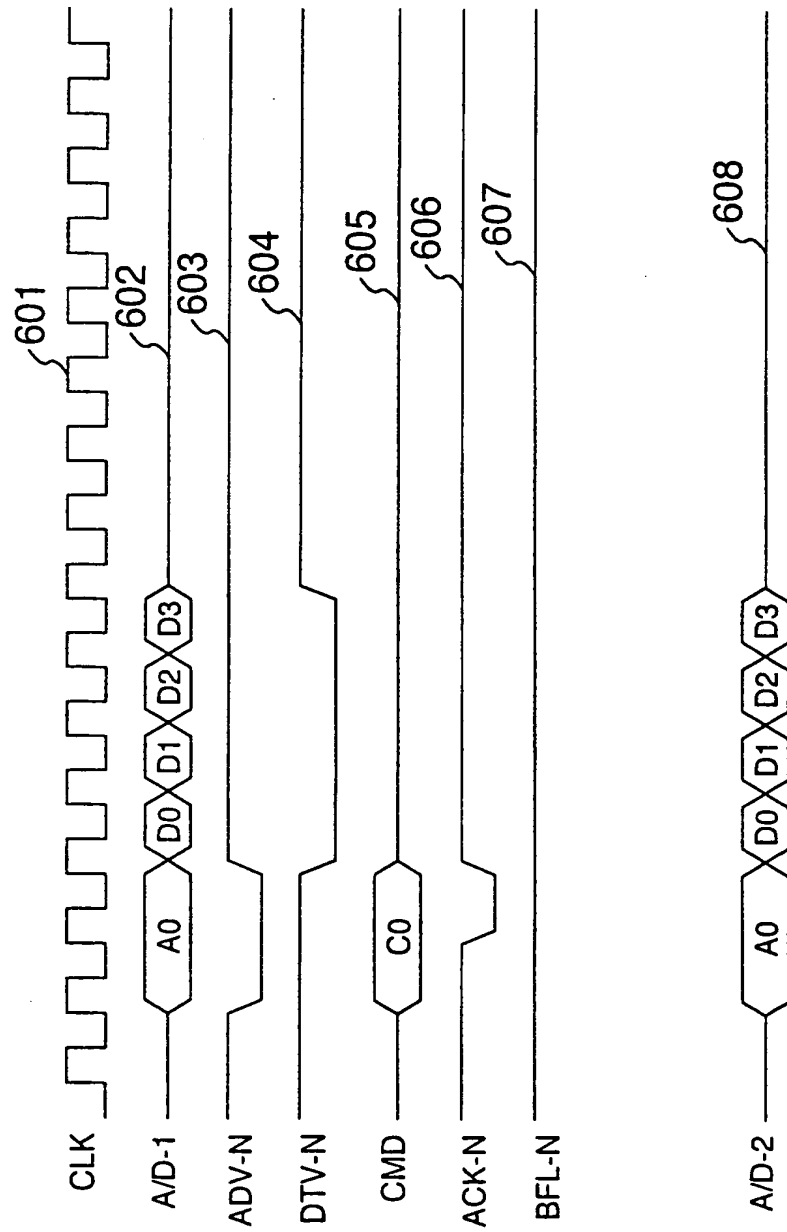
5/14

FIG. 5



6/14

FIG. 6



7/14

FIG. 7

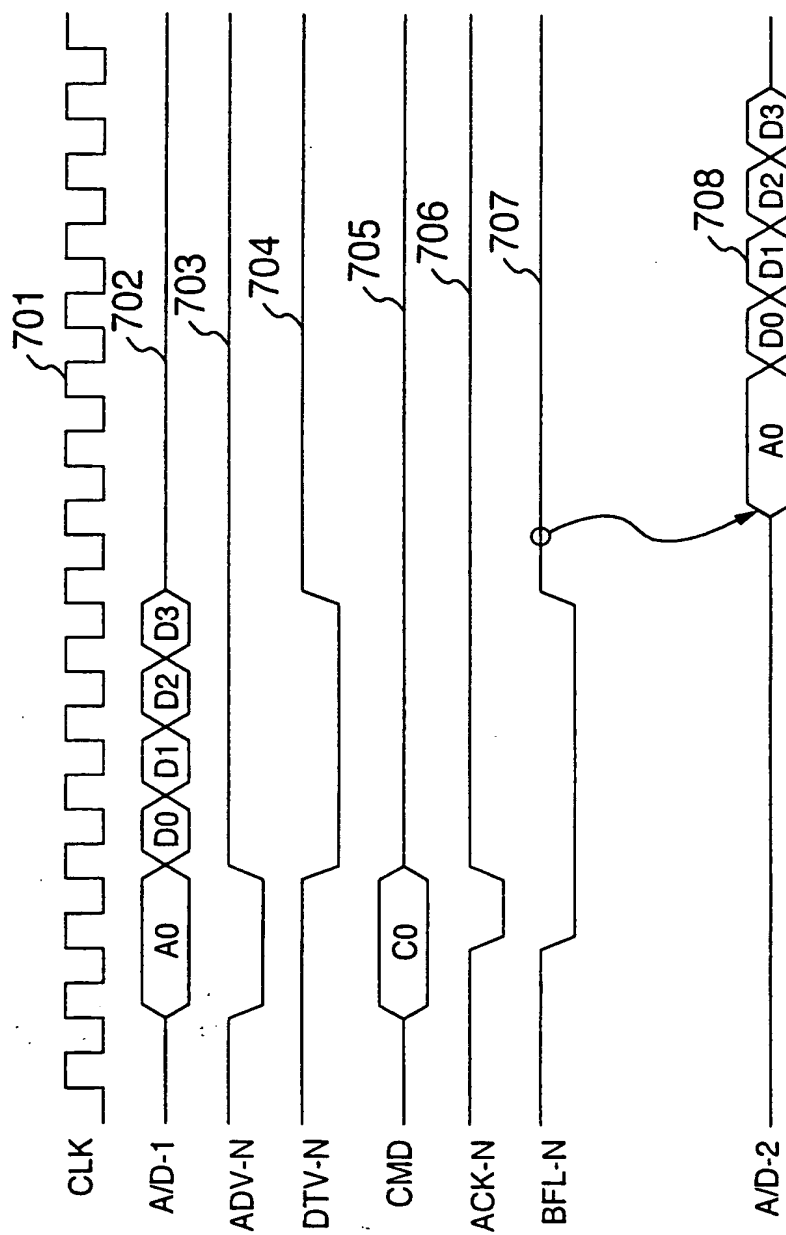


FIG. 8

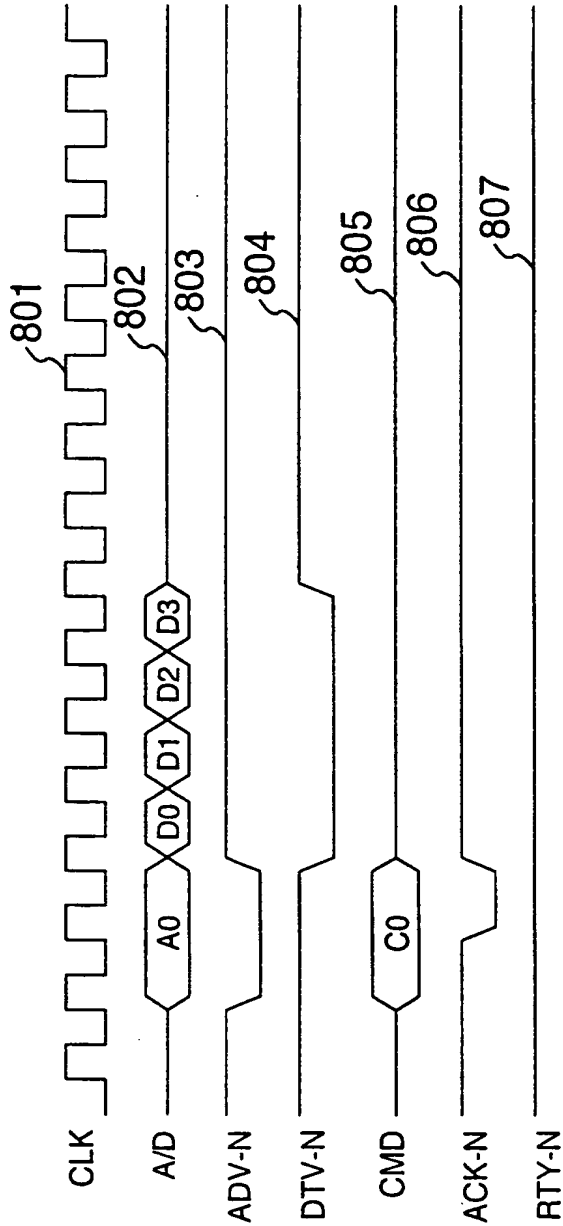
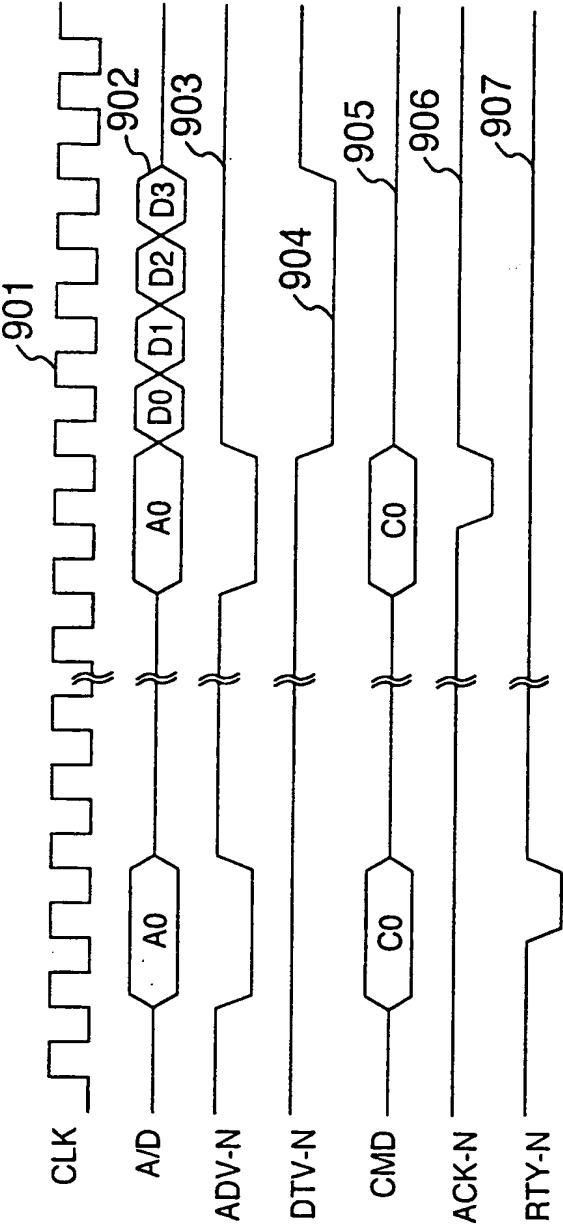
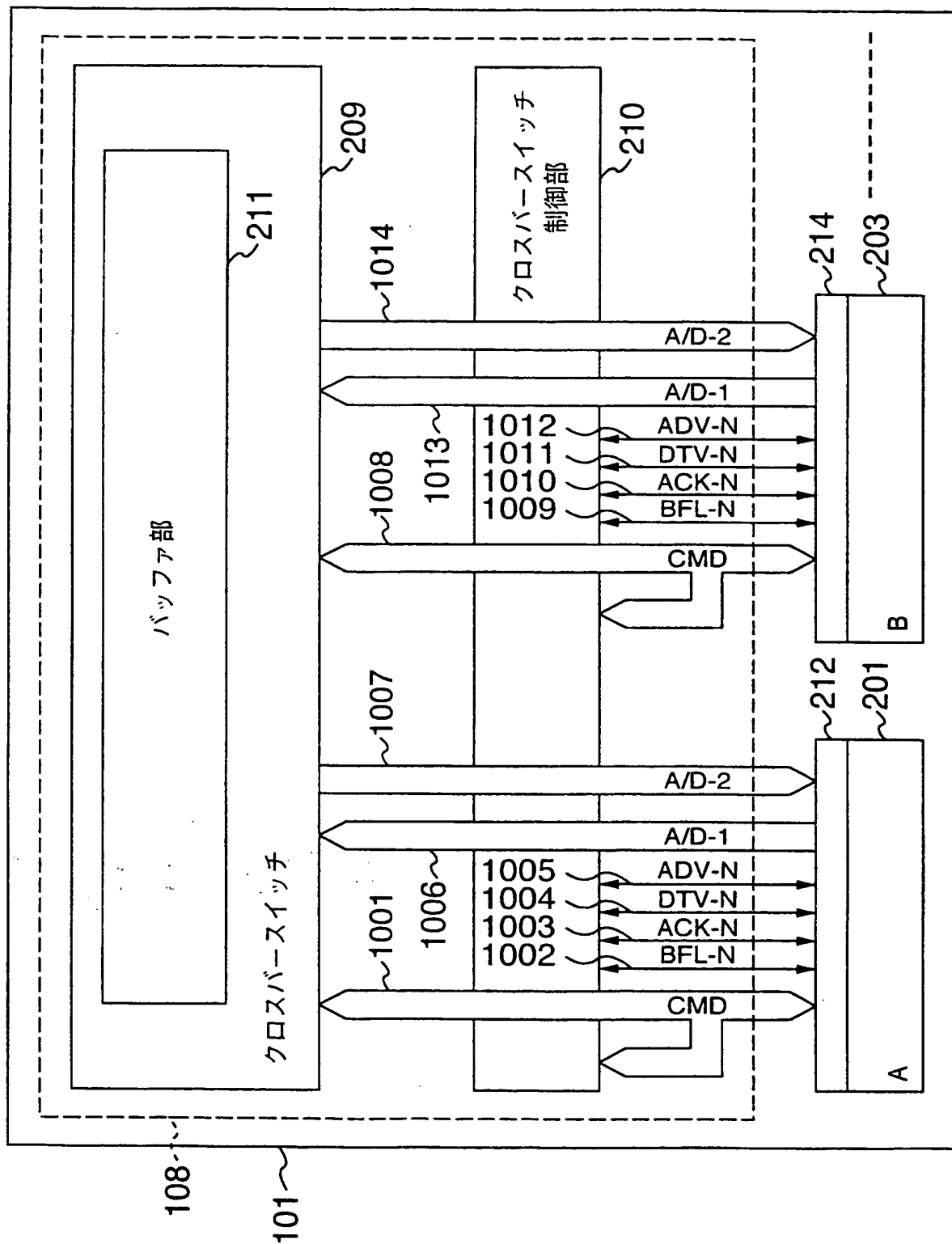


FIG. 9



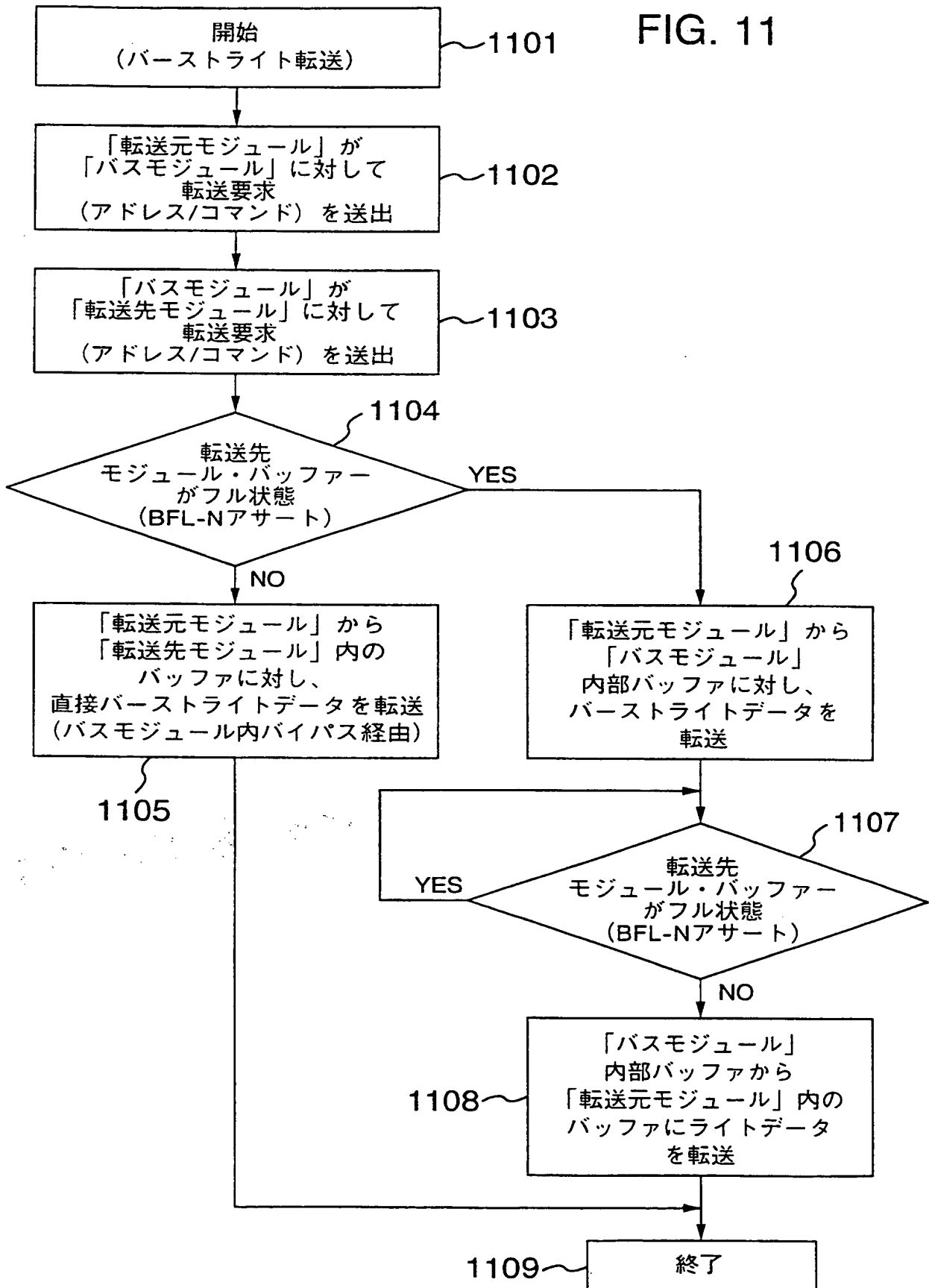
10/14

FIG. 10



11/14

FIG. 11



12/14

FIG. 12

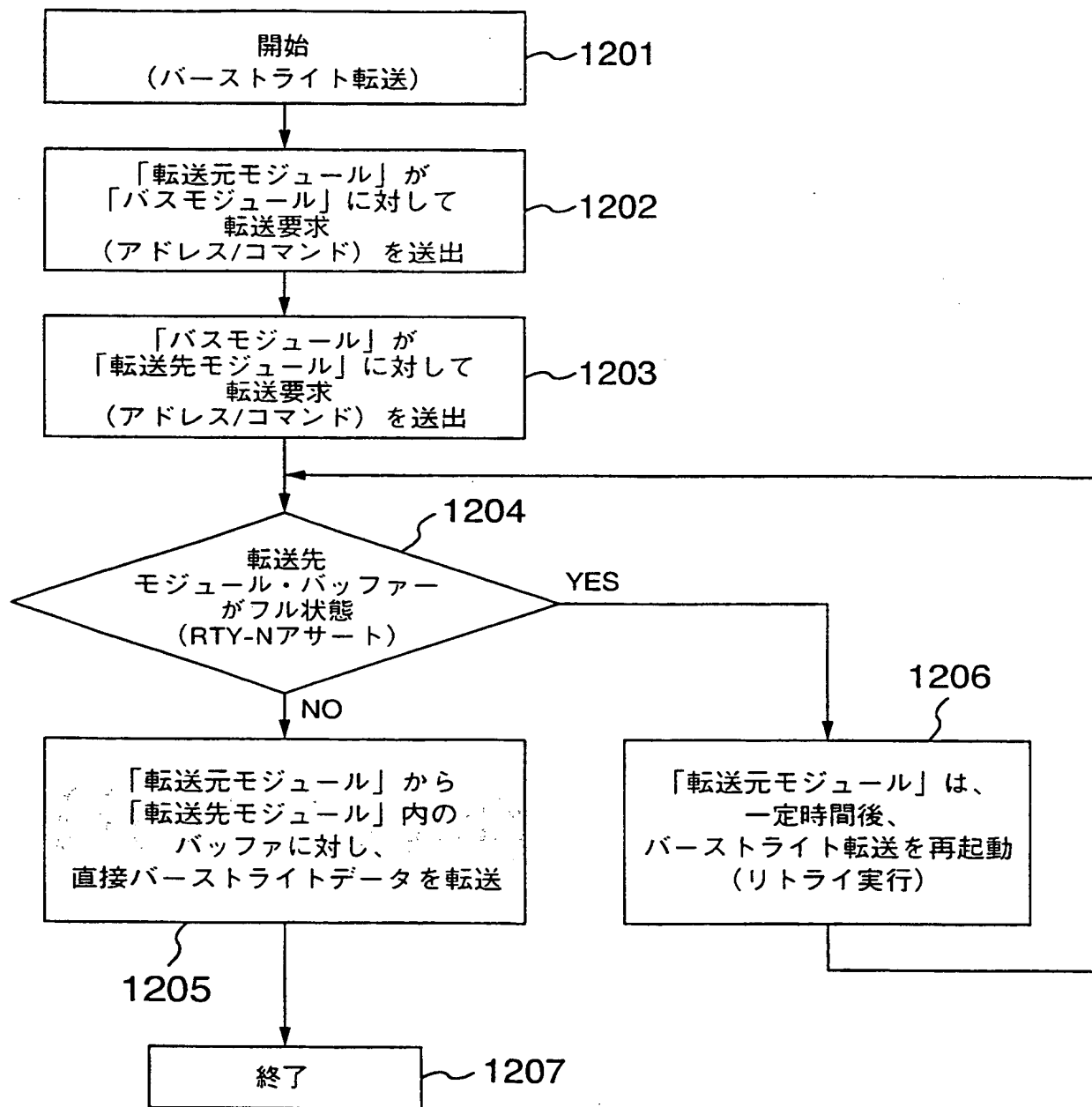


FIG. 13

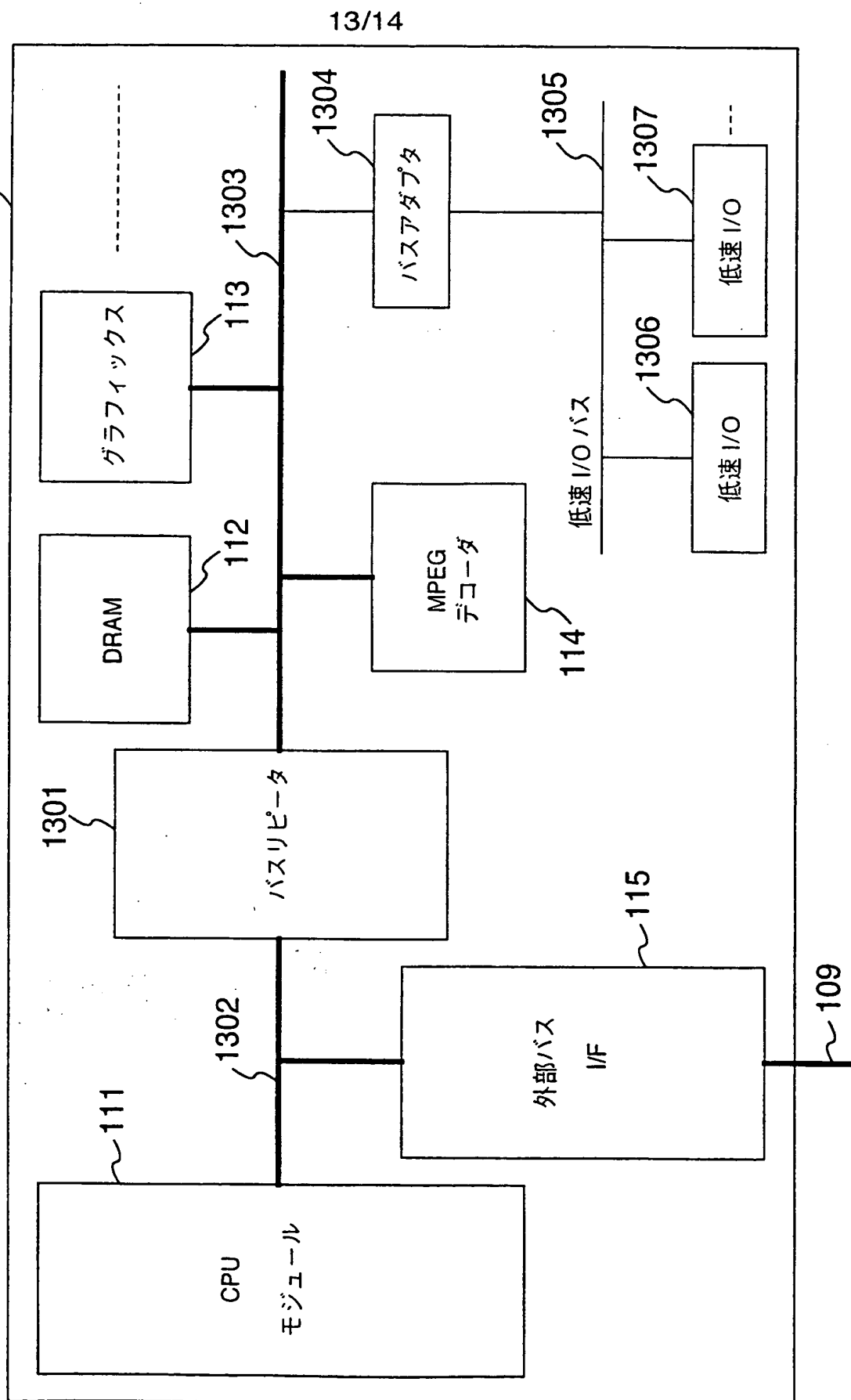
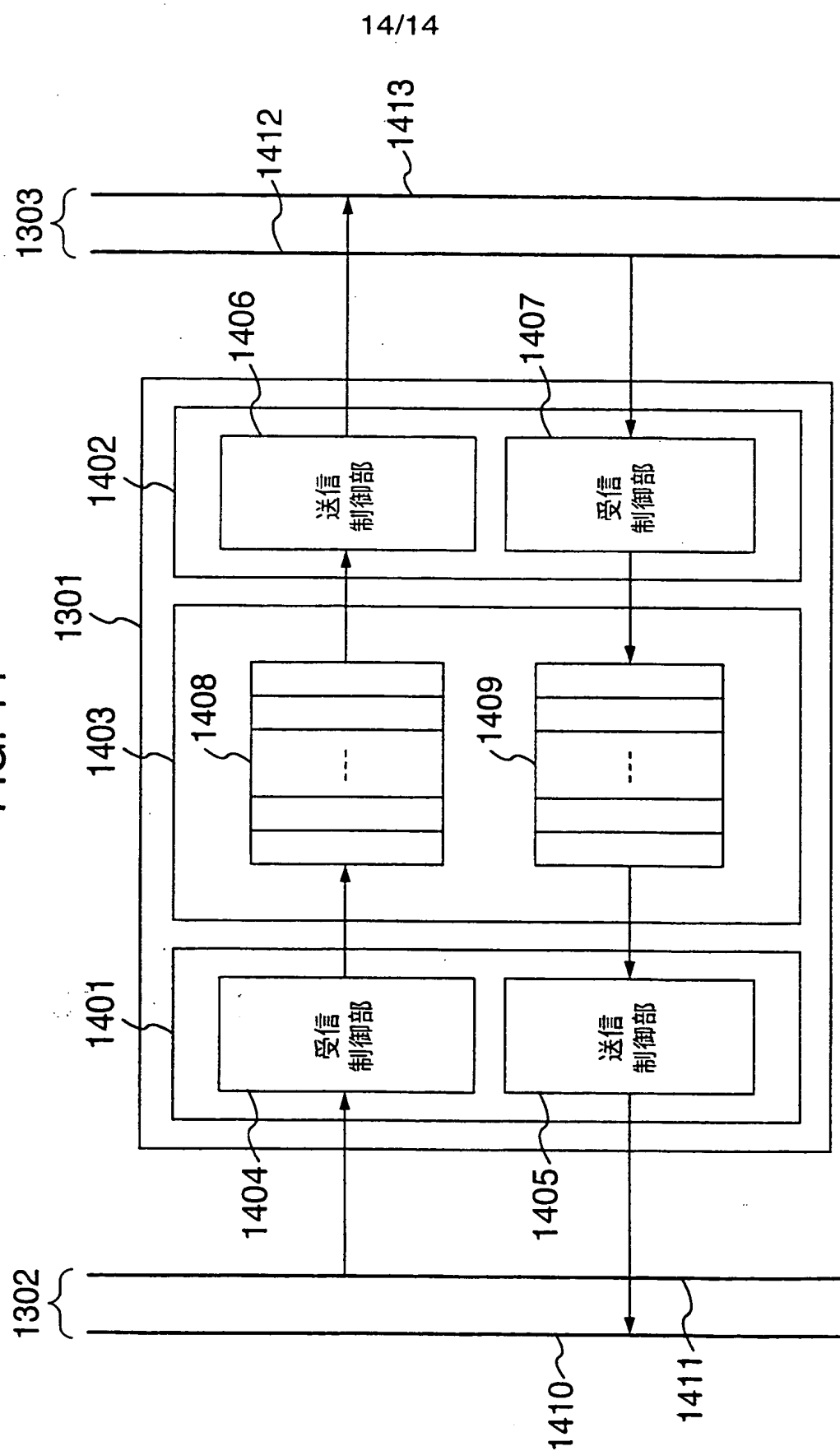


FIG. 14



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/00793

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G06F13/36, G06F13/38, G06F15/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F5/06, G06F12/00, G06F13/16, G06F13/36, G06F13/38, G06F15/16, G06F15/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Toroku Jitsuyo Shinan Koho 1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 10-63614, A (Fuji Electric Co., Ltd.),	1
Y	06 March, 1998 (06.03.98) (Family: none)	2-11
Y	JP, 8-185371, A (NKK CORPORATION),	2-11
	16 July, 1996 (16.07.96) (Family: none)	
Y	JP, 1-147755, A (NEC Corporation),	2-11
	09 June, 1989 (09.06.89) (Family: none)	
Y	JP, 63-47844, A (NEC Corporation),	2-11
	29 February, 1988 (29.02.88) (Family: none)	
Y	US, A, 5309561, A (TANDEM COMPUTERS INCORPORATED)	11
	03.May.1994 (03.05.94),	
	&JP, 4-273506, A (TANDEM COMPUTERS INCORPORATED)	
	29.September, 1992 (29.09.92) &EP, A, 0478132	

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
10 May, 2000 (10.05.00)

Date of mailing of the international search report
23.05.00

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. G06F13/36, G06F13/38, G06F15/78

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. G06F5/06, G06F12/00, G06F13/16, G06F13/36, G06F13/38, G06F15/16, G06F15/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2000年

日本国実用新案登録公報 1996-2000年

日本国登録実用新案公報 1994-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 10-63614, A(富士電機株式会社), 6.3月.1998(06.03.98) (ファ	1
Y	ミリー無し)	2-11
Y	JP, 8-185371, A(日本鋼管株式会社), 16.7月.1996(16.07.96) (フ	2-11
	ァミリー無し)	
Y	JP, 1-147755, A(日本電気株式会社), 9.6月.1989(09.06.89) (ファ	2-11
	ミリー無し)	
Y	JP, 63-47844, A(日本電気株式会社), 29.2月.1988(29.02.88) (フ	2-11
	ァミリー無し)	

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

10.05.00

国際調査報告の発送日

23.05.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐藤 匡



5R

9650

電話番号 03-3581-1101 内線 6914

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US, A, 5309561, A (TANDEM COMPUTERS INCORPORATED) 3. 5月. 1994 (0 3. 05. 94) & JP, 4-273506, A (タンデムコンピュータズインコーポレ イテッド) , 29. 9月. 1992 (29. 09. 92) & EP, A, 0478132	11

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference E5025-00	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP00/00793	International filing date (day/month/year) 14 February 2000 (14.02.00)	Priority date (day/month/year) 23 February 1999 (23.02.99)
International Patent Classification (IPC) or national classification and IPC G06F 13/36, 13/38, 15/78		
Applicant HITACHI, LTD.		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.

2. This REPORT consists of a total of 4 sheets, including this cover sheet.

☒ This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).

These annexes consist of a total of 2 sheets.

3. This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☐ Certain defects in the international application
- VIII ☐ Certain observations on the international application

Date of submission of the demand 07 April 2000 (07.04.00)	Date of completion of this report 23 January 2001 (23.01.2001)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/00793

I. Basis of the report

1. With regard to the **elements** of the international application:*

- ☐ the international application as originally filed
- ☒ the description:
 pages 1-14, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____
- ☒ the claims:
 pages 2-7,9-11, as originally filed
 pages _____, as amended (together with any statement under Article 19
 pages _____, filed with the demand
 pages 1,8, filed with the letter of 23 October 2000 (23.10.2000)
- ☒ the drawings:
 pages 1-14, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
 pages _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____

2. With regard to the **language**, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/00793

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	2-6,9-11	YES
	Claims	1,7,8	NO
Inventive step (IS)	Claims		YES
	Claims	1-11	NO
Industrial applicability (IA)	Claims	1-11	YES
	Claims		NO

2. Citations and explanations

Document 1: JP, 10-63614, A (Fuji Electric Co., Ltd.), 6 March, 1998 (06.03.98)
 Document 2: JP, 8-185371, A (NKK Corp.), 16 July, 1996 (16.07.96)
 Document 3: JP, 1-147755, A (NEC Corp.), 9 June, 1989 (09.06.89)
 Document 4: JP, 63-47844, A (NEC Corp.), 29 February, 1988 (29.02.88)
 Document 5: US, 5309561, A (Tandem Computers Inc.), 3 May, 1994 (03.05.94)
 Document 6: JP, 4-369065, A (Mitsubishi Electric Corp.), 21 December, 1992 (21.12.92)
 Document 7: JP, 61-46550, A (Fujitsu Ltd.), 6 March, 1986 (06.03.86)

The subject matter of claim 1 does not appear to be novel, since document 1 describes a technique, in which a shared buffer for temporarily storing transfer information is provided among a plurality of buses connected with a plurality of functional modules. Similar techniques are described also in documents 6 and 7.

Concerning claim 2, document 2 describes a technique of selecting whether or not data is transferred temporarily to a buffer, depending on whether or not the information of the other party can be accepted, and the subject matter of claim 2 is merely a matter that could have been easily constituted by a person skilled in the art by applying the technique described in document 2 to document 1. Furthermore, documents 6 and 7 describe a technique of temporarily storing transfer information in a shared buffer in the case where the bus of the other party cannot be used, and this technique agrees with the subject matter of claim 2 in the constituent feature that in the case where the receiving party does not allow data transfer, the transfer data is temporarily stored in the buffer of the module of the receiving party. As for the difference, while the subject matter of claim 2 refers to the case where the buffer of the module of the receiving party cannot accept, the technique described in document 6 or 7 refers to a case where the bus of the other party cannot accept transfer. What case is to be considered as a state where transfer cannot be carried out is a mere matter of design variation that could be practiced as required by a person skilled in the art. Carrying out similar processing in the case where the buffer in the transfer module cannot accept, in the technique described in document 6 or 7 is merely a matter that could have been easily constituted by a person skilled in the art.

Concerning claims 3 and 4, documents 1, 3 and 4 respectively describe a technique of changing the transfer path to allow an unnecessary functional section to be bypassed depending on the situation. Selecting the transfer path to allow transfer to a shared buffer in the case where the other party cannot accept, in the constitution of document 1, 6 or 7 is merely a matter that could have been easily constituted by a person skilled in the art.

Concerning claim 5, what place is selected for arrangement is a mere matter of design variation that could be practiced as required by a person skilled in the art.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/00793

Supplemental Box

(To be used when the space in any of the preceding boxes is not sufficient)

Continuation of Box V (Citations and explanations):

Concerning claim 6, the constitution in which when the receiving party is changed, information to that effect is given to the sending party, is merely a matter that could have been easily conceived by a person skilled in the art.

Concerning claims 7 and 8, the explanation for claim 1 applies.

Concerning claim 9, document 1 describes a technique, in which buses connected with a plurality of functional modules are connected through a bus adaptor, and what are selected as the functional modules is a mere matter of design variation that could be practiced as required by a person skilled in the art.

Concerning claim 10, document 1 describes a technique of connecting buses of the same protocol.

Concerning claim 11, document 5 describes a technique of transferring data between buses having different action frequency, and what frequency is to be selected is a mere matter of design variation that could be practiced as required by a person skilled in the art.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/00793

I. Basis of the report

1. With regard to the elements of the international application:*

- ☐ the international application as originally filed.
- ☒ the description:
pages 1-14, as originally filed,
pages _____, filed with the demand,
pages _____, filed with the letter of _____
- ☒ the claims:
claims 2-7, 9-11, as originally filed,
claims _____, as amended (together with any statement under Article 19
claims _____, filed with the demand,
claims 1, 8, filed with the letter of 23.10.00
- ☒ the drawings:
FIG.S 1-14, as originally filed,
pages _____, filed with the demand,
pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
pages _____, as originally filed,
pages _____, filed with the demand,
pages _____, filed with the letter of _____

2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3)

3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/fig. _____

5. This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item I and annexed to this report.

CLAIMS

1. (Amended) An integrated circuit comprising:
 - a plurality of functional modules;
 - a bus for interconnecting said plurality of functional modules; and
 - a common buffer disposed on said bus for storing transfer information transferred between said plurality of functional modules.
2. An integrated circuit according to claim 1, wherein said common buffer is set in a buffering enabled state or a buffering disabled state depending on whether or not a buffer in a destination module can accept said transfer information.
3. An integrated circuit according to claim 2, further comprising means for selecting a path for transferring information to said destination module when a signal from said destination module indicates that the buffer within said destination module can accept information, and selecting a transfer path for storing said transfer information in said common buffer when the signal indicates that the buffer within said destination module cannot accept information.
4. An integrated circuit according to claim 1, further comprising a signal line for transferring said transfer information when a buffer within a destination module of said transfer information can accept a transfer, said signal line circumventing said common buffer.

5. An integrated circuit according to claim 1, wherein said bus is arranged such that said common buffer within said bus is located adjacent to each of said plurality of functional modules within said integrated circuit.

6. An integrated circuit according to claim 1, further comprising means, operative when an information receiving buffer in a destination module cannot accept a transfer, for communicating information from said destination module to a source module, said information indicating that no transfer can be permitted.

7. An integrated circuit comprising, on a bus for transmitting transfer information between a plurality of functional modules:

a controlling unit for selecting a transfer path depending on whether or not a buffer in a destination module of said transfer data can accept said transfer information;

a common buffer for storing said transfer information transferred between said plurality of functional modules in accordance with the result of a selection made by said controlling unit; and

transfer path controlling means including a plurality of common bus interfaces for controlling input/output between said plurality of functional modules and said common buffer.

8. (Amended) An information processing apparatus comprising:

a plurality of functional modules;
a bus for interconnecting said plurality of functional modules; and

a common buffer for temporarily storing information transferred between said plurality of functional modules.

9. An integrated circuit comprising:
a plurality of functional modules; and
at least two on-chip buses for interconnecting said plurality of functional modules, wherein a first bus and a second bus are interconnected through a bus adapter; and functional modules connected to said first bus includes a CPU module, an external memory interface module, and said bus adapter.

10. An integrated circuit according to claim 9, wherein:

said first bus employs a protocol identical to a protocol employed by said second bus.

11. An integrated circuit according to claim 10, wherein:

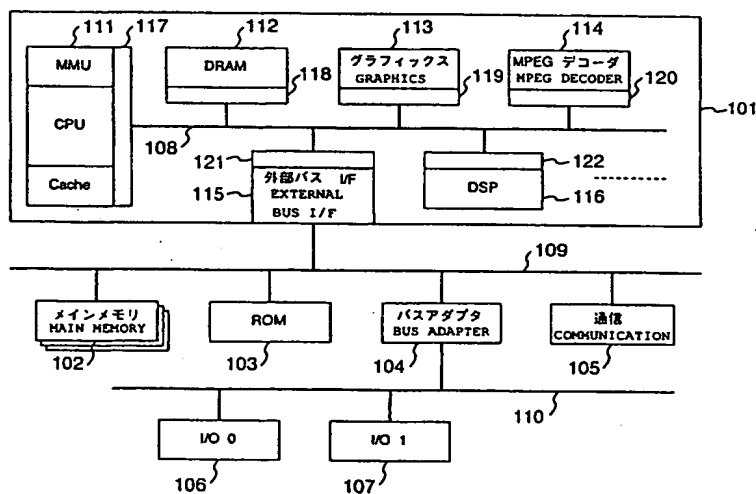
an operating frequency of said first bus is an integer multiple of an operating frequency of said second bus.



<p>(51) 国際特許分類7 G06F 13/36, 13/38, 15/78</p>	<p>A1</p>	<p>(11) 国際公開番号 WO00/51005</p> <p>(43) 国際公開日 2000年8月31日(31.08.00)</p>
<p>(21) 国際出願番号 PCT/JP00/00793</p> <p>(22) 国際出願日 2000年2月14日(14.02.00)</p> <p>(30) 優先権データ 特願平11/44133 1999年2月23日(23.02.99)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 近藤伸和(KONDO, Nobukazu)(JP/JP) 〒215-0013 神奈川県川崎市麻生区王禅寺1099番地 株式会社 日立製作所 システム開発研究所内 Kanagawa, (JP)</p> <p>鈴木 敬(SUZUKI, Kei)(JP/JP) 〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社 日立製作所 中央研究所内 Tokyo, (JP)</p> <p>野口孝樹(NOGUCHI, Kouki)(JP/JP) 〒187-0022 東京都小平市上水本町五丁目20番1号 株式会社 日立製作所 半導体事業部内 Tokyo, (JP)</p>		<p>野々村到(NONOMURA, Itaru)(JP/JP) 〒215-0013 神奈川県川崎市麻生区王禅寺1099番地 株式会社 日立製作所 システム開発研究所内 Kanagawa, (JP)</p> <p>(74) 代理人 浅村 皓, 外(ASAMURA, Kiyoshi et al.) 〒100-0004 東京都千代田区大手町2丁目2番1号 新大手町ビル331 Tokyo, (JP)</p> <p>(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書</p>

(54)Title: INTEGRATED CIRCUIT AND INFORMATION PROCESSING DEVICE

(54)発明の名称 集積回路及びそれを用いた情報処理装置



(57) Abstract

In an LSI system using on-chip buses, a transfer on a bus may have to wait because of the state of a buffer of a module at the receiver, thus hindering the module of the sender from moving to the following process. To prevent this, a transfer buffer for temporarily storing the data is provided in the transfer path in the on-chip bus of the LSI. If the buffer in a slave module or at the receiver is full so that it cannot accept any more data, the bus master may transfer data to the buffer in the on-chip bus. The bus master does not have to wait to transfer data irrespectively of the state of the buffer on the slave side, and the overall system performance improves.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/00793

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F13/36, G06F13/38, G06F15/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F5/06, G06F12/00, G06F13/16, G06F13/36, G06F13/38, G06F15/16, G06F15/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Toroku Jitsuyo Shinan Koho 1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 10-63614, A (Fuji Electric Co., Ltd.),	1
Y	06 March, 1998 (06.03.98) (Family: none)	2-11
Y	JP, 8-185371, A (NKK CORPORATION),	2-11
	16 July, 1996 (16.07.96) (Family: none)	
Y	JP, 1-147755, A (NEC Corporation),	2-11
	09 June, 1989 (09.06.89) (Family: none)	
Y	JP, 63-47844, A (NEC Corporation),	2-11
	29 February, 1988 (29.02.88) (Family: none)	
Y	US, A, 5309561, A (TANDEM COMPUTERS INCORPORATED)	11
	03.May.1994 (03.05.94),	
	&JP, 4-273506, A (TANDEM COMPUTERS INCORPORATED)	
	29.September, 1992 (29.09.92) &EP, A, 0478132	

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
10 May, 2000 (10.05.00)

Date of mailing of the international search report
23.05.00

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.